

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 7 8 2 2
Application Number:

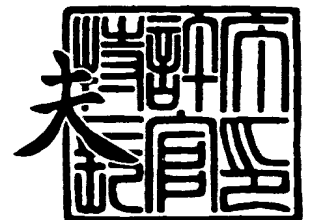
[ST. 10/C] : [J . P 2 0 0 3 - 1 3 7 8 2 2]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 4 年 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 3 0 6 9

【書類名】 特許願

【整理番号】 P007134

【提出日】 平成15年 5月15日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 棚田 好文

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 表示装置の検査回路および検査方法

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線とを有する表示装置の検査回路であって、

前記検査回路は、前記複数のソース信号線、もしくは前記複数のゲート信号線の出力によってデータ取り込みタイミングが制御される複数のラッチ回路と、

複数の NAND 回路と、複数の NOR 回路と、複数のインバータとでなる判定回路とを有し、

前記判定回路において、前記複数の NAND 回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数の NOR 回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のラッチ回路の出力はそれぞれ、前記複数の NAND 回路の第 1 の入力端および、前記複数の NOR 回路の第 1 の入力端と電氣的に接続され、

前記直列接続された NAND 回路のうち、先頭の前記 NAND 回路の第 2 の入力端は、第 1 の電源と電氣的に接続され、最後尾の前記 NAND 回路の出力端は、第 1 の検査出力端子と電氣的に接続され、

前記直列接続された NOR 回路のうち、先頭の前記 NOR 回路の第 2 の入力端は、第 2 の電源と電氣的に接続され、最後尾の前記 NOR 回路の出力端は、第 2 の検査出力端子と電氣的に接続されることを特徴とする表示装置の検査回路。

【請求項 2】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線とを有する表示装置の検査回路であって、

前記検査回路は、前記複数のソース信号線、もしくは前記複数のゲート信号線の出力によってデータ取り込みタイミングが制御される複数のラッチ回路と、

複数の NAND 回路と、複数の NOR 回路と、複数のインバータと、E x N O

R 回路とでなる判定回路とを有し、

前記判定回路において、前記複数の NAND 回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数の NOR 回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のラッチ回路の出力はそれぞれ、前記複数の NAND 回路の第 1 の入力端および、前記複数の NOR 回路の第 1 の入力端と電氣的に接続され、

前記直列接続された NAND 回路のうち、先頭の前記 NAND 回路の第 2 の入力端は、第 1 の電源と電氣的に接続され、最後尾の前記 NAND 回路の出力端は、前記 Ex NOR 回路の第 1 の入力端と電氣的に接続され、

前記直列接続された NOR 回路のうち、先頭の前記 NOR 回路の第 2 の入力端は、第 2 の電源と電氣的に接続され、最後尾の前記 NOR 回路の出力端は、前記 Ex NOR 回路の第 1 の入力端と電氣的に接続され、前記 Ex NOR 回路の出力端は、検査出力端子と電氣的に接続されることを特徴とする表示装置の検査回路。

【請求項 3】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線とを有する表示装置の検査回路であって、

前記検査回路は、前記複数のソース信号線、もしくは前記複数のゲート信号線の出力によってデータ取り込みタイミングが制御される複数のラッチ回路と、

複数の NAND 回路と、複数の NOR 回路と、複数のインバータと、Ex OR 回路とでなる判定回路とを有し、

前記判定回路において、前記複数の NAND 回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数の NOR 回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のラッチ回路の出力はそれぞれ、前記複数の NAND 回路の第 1 の入力端および、前記複数の NOR 回路の第 1 の入力端と電氣的に接続され、

前記直列接続された NAND 回路のうち、先頭の前記 NAND 回路の第 2 の入力端は、第 1 の電源と電氣的に接続され、最後尾の前記 NAND 回路の出力端は

、前記 E x N O R 回路の第 1 の入力端と電氣的に接続され、

前記直列接続された N O R 回路のうち、先頭の前記 N O R 回路の第 2 の入力端は、第 2 の電源と電氣的に接続され、最後尾の前記 N O R 回路の出力端は、前記 E x O R 回路の第 1 の入力端と電氣的に接続され、前記 E x O R 回路の出力端は、検査出力端子と電氣的に接続されることを特徴とする表示装置の検査回路。

【請求項 4】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線と、前記ソース信号線を制御するソースドライバと、前記ゲート信号線をク制御するゲートドライバとを有し、前記複数の画素の各々に映像信号を入力して映像表示を行う表示装置の検査方法であって、

ソースドライバ、もしくはゲートドライバを駆動し、前記ソース信号線、もしくは前記ゲート信号線にパルスを出力するステップと、

前記出力されたパルスによって、検査回路内に設けられたラッチ回路を制御し、検査用信号の取り込みを行うステップと、

前記ラッチ回路に取り込まれた検査用信号を一斉に出力し、前記検査回路内に設けられた判定回路に同時に入力し、前記判定回路から検査出力を得ることを特徴とする表示装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素がマトリクス状に配置された画素領域を有する表示装置に設ける検査回路、および表示装置の検査方法に関する。

【0002】

【従来の技術】

液晶ディスプレイ(LCD)や、エレクトロルミネッセンス(EL)ディスプレイ等をはじめとする表示装置においては、近年大画面化、高精細化が進み、さらに、画素部と、画素部を制御するための周辺回路を基板上に一体形成することによる回路の高集積化が進んでいる。

【0003】

製造工程において、パターンング不良、静電破壊(E S D)等による素子破壊が生じた場合、表示装置自体の正常動作が見込めなくなるため、品質検査によって除外されなければならない。一般的に、表示装置の品質検査は、図6(A)に示すような、ソースドライバ603、ゲートドライバ604、画素領域605、信号入力端子606等が形成されたT F T基板601と、対向基板602とを貼り合わせ、完成品であるモジュール600となった段階で、図6(B)に示すように、実際にジグ等を用いて、端子に探針(プローブ)611を接触させて信号を入力、画像もしくは映像(テストパターン612等)の表示を行い、画面の視認によって表示不良の有無を観察することによって行われる。

【0004】

しかし、この方法によると、表示装置自体がモジュール600としてほぼ完成した段階での検査となるため、不良判定されたモジュールに費やされたコストが大きいといった欠点がある。つまり、回路不良による欠陥は、T F T基板601のみに起因するものであり、対向基板602等の貼り合わせに伴う工程が無駄となる。また、画素部や周辺回路がT F T等によって形成されている基板(T F T基板)のみを製造し、半完成品として出荷するなどといった形態も考えられるが、このような場合、実際の表示で品質検査を行うことは事実上不可能である。つまり、T F T基板の状態で、回路動作が正常かどうかを判断する手段が必要となる。

【0005】

図5は、そのような検査を実現した構成の一例である。基板上に、シフトレジスタ(S R)、N A N D回路、ラッチ、D/Aコンバータ(D A C)等であるデジタルソースドライバ18、ゲートドライバ5、画素3がマトリクス状に配置された画素領域および、スイッチ駆動回路30、アナログスイッチ25、検査ライン27、検査端子28等である検査回路が形成されている。

【0006】

図5に示した表示装置は、各ゲート信号線6により当該行に接続された画素を制御し、映像信号はデジタルソースドライバ18に入力され、ソース信号線9へ

と出力され、各画素に書き込まれる。

【0007】

検査回路においては、画素に映像信号が書き込まれることによって保持された電荷を、アナログスイッチ25をスイッチ駆動回路30によって制御し、順次検査ライン27を介して検査端子28に取り出すことによって、画素への書込みの良否の判定を行うものである(特許文献1参照)。また、ソース信号線9のそれぞれに検査用のパッドを配し、各パッドに探針(プローブ)を当てることによって出力を検査する方法もある(特許文献2参照)。

【0008】

【特許文献1】

特開 2002-116423号公報

【特許文献2】

特許第 2618042号

【0009】

【発明が解決しようとする課題】

しかし、上記の特許文献記載の方法によると、高精細、大画面の表示装置においては検査のスループットが著しく低下する点、また、スイッチ駆動回路30等による制御が必須であり、基板上における検査回路の実装面積の拡大等といった問題がある。特に、前者のような方法によると、高精細な表示装置においては現実的でない。

【0010】

本発明は前述の課題に鑑み、極めて簡単な方法により、かつ小規模な検査回路を用いて、回路動作、線欠陥の有無等の判定が可能な検査回路および検査方法を提供するものである。

【0011】

【課題を解決するための手段】

前述した課題を解決するため、本発明においては以下のような手段を講じた。

【0012】

高精細化に伴って本数の増大したソース信号線、あるいはゲート信号線に出力

される信号を、それぞれ探針によって検査する方法は現実的ではない。そこで本発明においては、全段から出力される信号を全て検査回路に入力し、それらの入力のある特定のパターンに対する出力のみを測定する。

【0013】

通常の出カに対する検査回路の出カに対し、あるソース信号線、あるいはゲート信号線の出カが不正である場合には、前述の出カとは異なる出カが得られるようにする。したがって、1箇所ないしは数箇所の出カを測定し、正常な状態で得られるべき出カの形態と比較することによって、良否の判定を行う。

【0014】

本発明の表示装置の検査回路の第1の構成は、マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線とを有する表示装置の検査回路であって、前記検査回路は、前記複数のソース信号線、もしくは前記複数のゲート信号線の出カによってデータ取り込みタイミングが制御される複数のラッチ回路と、

複数のNAND回路と、複数のNOR回路と、複数のインバータとでなる判定回路とを有し、前記判定回路において、前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数のラッチ回路の出カはそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出カ端は、第1の検査出力端子と電氣的に接続され、前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出カ端は、第2の検査出力端子と電氣的に接続されたことを特徴とする。

【0015】

このような構成とすることにより、表示装置自体が有する駆動回路を通常動作もしくはそれに準ずる動作をさせた上での検査が可能であり、実動作に近い状態

で不良判定が可能である。また、極めて簡単な手順による検査が可能であり、検査回路の実装面積も小規模なもので済む。

【0016】

また、上記の構成に、E x N O R 回路を追加して検査回路を構成し、第2の構成としても良い。この場合は、2入力E x N O R 回路を用い、第1の入力端に、前記最後尾のN A N D 回路の出力端が電氣的に接続され、第2の入力端に、前記最後尾のN O R 回路の出力端が電氣的に接続された構成を特徴とする。

【0017】

さらに、E x N O R 回路に代わり、E x O R 回路を用い、第3の構成としても良い。この場合は、2入力E x O R 回路を用い、第1の入力端に、前記最後尾のN A N D 回路の出力端が電氣的に接続され、第2の入力端に、前記最後尾のN O R 回路の出力端が電氣的に接続された構成を特徴とする。

【0018】

また、本発明の表示装置の検査方法の特徴は、マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線と、前記映像信号を入力する行を選択するための複数のゲート信号線と、前記ソース信号線を制御するソースドライバと、前記ゲート信号線をク制御するゲートドライバとを有し、前記複数の画素の各々に映像信号を入力して映像表示を行う表示装置の検査方法であって、

ソースドライバ、もしくはゲートドライバを駆動し、前記ソース信号線、もしくは前記ゲート信号線にパルスを出力するステップと、前記出力されたパルスによって、検査回路内に設けられたラッチ回路を制御し、検査用信号の取り込みを行うステップと、

前記ラッチ回路に取り込まれた検査用信号を一斉に出力し、前記検査回路内に設けられた判定回路に同時に入力し、前記判定回路から検査出力を得ることを特徴とする。

【0019】

つまり、ドライバ全段の出力を用いて検査回路を駆動し、その出力を測定することで不良判定を行う。よって、高精細化、大画面化に伴って信号線数が増大し

た場合にも、検査工程が煩雑にならず、常に簡単な検査工程が実現する。

【0020】

【発明の実施の形態】

図1（A）に、本発明の一実施形態を示す。基板上に、ソースドライバ101、ゲートドライバ102、画素領域106、検査回路、出力端子107が形成されている。画素領域106は、複数の画素105がマトリクス状に配置されており、各画素は、ソース信号線013、ゲート信号線104によって制御される。

【0021】

ソースドライバ101は、クロック信号（SCK）、スタートパルス（SSP）の入力により、SR、NAND回路において順次サンプリングパルスを出力する。その後、レベルシフタ、バッファにおいて、振幅変換あるいは増幅を受け、映像信号（Data）のサンプリングを行い、順次ソース信号線（S1～Sn）へと出力する。

【0022】

ゲートドライバ102は、クロック信号（GCK）、スタートパルス（GSP）の入力により、SR、NAND回路において順次行選択パルスを出力する。その後、レベルシフタ、バッファにおいて、振幅変換あるいは増幅を受け、順次、各行のゲート信号線（G1～Gm）を選択する。

【0023】

検査回路の構成を図1（B）に示す。ここでは、ゲートドライバ102の検査用に設けられた検査回路について説明する。検査回路は、第1ラッチ回路111、第2ラッチ回路112、判定回路113を有する。判定回路113は、複数のNAND114、複数のインバータ116を交互に直列に接続し、さらにゲート信号線（G1～Gm）のそれぞれと接続した回路と、複数のNOR115、複数のインバータ116を交互に直列に接続し、さらにゲート信号線（G1～Gm）のそれぞれと接続した回路とが並列に設けられ、双方の最終段出力は、検査出力端子107a、107bに取り出される。

【0024】

具体的には、判定回路111における、1段目のNANDの第1の入力端には

、電源(VDD)が接続され、第2の入力端には、ゲート信号線(G1)が接続され、出力端は、1段目のインバータの入力端に接続されている。1段目のインバータの出力端は、2段目のNANDの第1の入力端に接続されている。2段目以降、ある k ($2 \leq k \leq m$)段目において、 k 段目のNANDの第1の入力端には、 $k-1$ 段目のインバータ出力端が接続され、第2の入力端には、ゲート信号線(G_k)が接続され、出力端は、 k 段目のインバータの入力端に接続されている。 k 段目のインバータの出力端は、 $k+1$ 段目のNANDの第1の入力端に接続されている。最終段のインバータ出力が、検査出力端子107aに取り出される。

【0025】

一方、1段目のNOR113の第1の入力端には、電源(VSS)が接続され、第2の入力端には、ゲート信号線(G1)が接続され、出力端は、1段目のインバータの入力端に接続されている。1段目のインバータの出力端は、2段目のNORの第1の入力端に接続されている。2段目以降、ある k 段目において、 k 段目のNORの第1の入力端には、 $k-1$ 段目のインバータ出力端が接続され、第2の入力端には、ゲート信号線(G_k)が接続され、出力端は、 k 段目のインバータの入力端に接続されている。 k 段目のインバータの出力端は、 $k+1$ 段目のNORの第1の入力端に接続されている。最終段のインバータ出力が、検査出力端子107bに取り出される。

【0026】

続いて、実際の検査の手順について、図1(A)(B)、および図2を用いて示す。ここでは、ゲートドライバ対象とした例について説明する。

【0027】

検査にあたり、ゲートドライバ102を動作させる。動作方法としては、通常の映像表示を行う場合と同様で構わない。

【0028】

図2(A)に、ゲートドライバ102および検査回路の簡単なタイミングチャートを示し、以下にその動作について順次説明する。図2(A)には、ドライバ側入力信号として、クロック信号(GCK)、スタートパルス(GSP)、検査回路側入力信号として、検査用クロック信号(CCK1、CCK2)、検査用デ

ータラッチ信号 (CLAT)、出力信号として、1行目～4行目、m行目の行選択パルス(SROut1～4、m)、検査回路ラッチ出力(C1～C4、Cm)を示している。

【0029】

まず、第1フレーム期間 (Period1) について説明する。クロック信号 (GCK) とスタートパルス (GSP) 201に従ってシフトレジスタが動作し、行選択パルス203を順次出力する。行選択パルス203はその後、それぞれ振幅変換、あるいは増幅を受け、各行のゲート信号線を選択する。

【0030】

一方、順次出力される行選択パルス203は、検査回路内の第1ラッチ回路111に入力され、検査用クロック信号 (CCK1、CCK2) 205もしくは206の取り込みを行う。この期間 (Period1) においては、全ての第1ラッチ回路において、Hレベルが取り込まれる。行選択パルスが1行目から最終行まで出力され、検査回路内の第1ラッチ回路111の全段での取り込みが完了した後、検査用データラッチ信号 (CLAT) 207が入力され、第1ラッチ回路111に保持されていたデータは一斉に第2ラッチ回路112に転送される。

【0031】

このとき、検査回路ラッチ出力 (C1～C4、Cm) は、図2 (A) に示すとおり、全てHレベルとなる (211)。

【0032】

次に、第2フレーム期間 (Period2) に移る。第1フレーム期間と同様に、クロック信号とスタートパルス202に従い、行選択パルス204が順次出力され、各行のゲート信号線を選択する。

【0033】

その後も同様に、順次出力される行選択パルス204は、検査回路内の第1ラッチ回路111に入力され、検査用クロック信号 (CCK1、CCK2) 205もしくは206の取り込みを行う。この期間 (Period2) においては、全ての第1ラッチ回路において、Lレベルが取り込まれる。行選択パルスが1行目から最終行まで出力され、検査回路内の第1ラッチ回路111の全段での取り込

みが完了した後、検査用データラッチ信号 (CLAT) 207 が入力され、第 1 ラッチ回路 111 に保持されていたデータは一斉に第 2 ラッチ回路 112 に転送される。

【0034】

このとき、検査回路ラッチ出力 (C1~C4、Cm) は、図 2 (A) に示すとおり、全て L レベルとなる (212)。

【0035】

次に、検査回路の動作等について説明する。今、211 で示される期間において、検査回路ラッチ出力 (C1~C4、Cm) には、全段において H レベルが出力されている。よって判定回路は、図 3 (A) に示すような状態となる。NAND 301 の第 1 の入力端には、電源 (VDD) が入力され、第 2 の入力端には、H レベルが入力されている。よって NAND 301 の出力は L レベルとなる。さらにこの出力は、インバータを介して反転し、次段の NAND に入力される。以後これを繰り返し、最終的に、検査出力端子 303 には、H レベルが出力される。

【0036】

一方、NOR 302 の第 1 の入力端には、電源 (VSS) が入力され、第 2 の入力端には、H レベルが入力されている。よって NOR 302 の出力は L レベルとなる。さらにこの出力は、インバータを介して反転し、次段の NOR に入力される。以後これを繰り返し、最終的に、検査出力端子 304 には、H レベルが出力される。

【0037】

次に、211 で示される期間においては、検査回路ラッチ出力 (C1~C4、Cm) には、全段において L レベルが出力されている。よって判定回路は、図 3 (B) に示すような状態となる。前述と同様に、全ての検査回路ラッチ出力 (C1~C4、Cm) に接続された NAND、NOR が動作し、この場合、検査出力端子 303、304 には、いずれも L レベルが出力される。

【0038】

この場合の検査出力端子の状態、すなわちソース信号線出力が全段にわたって H レベルの場合、検査出力端子にはいずれも H レベルが出力され、ソース信号線

が全段にわたって L レベルの場合、検査出力端子にはいずれも L レベルが出力される状態が、正常な検査出力である。

【0039】

ここで、ゲートドライバ側に何らかの不良箇所が存在する場合、行選択パルスが正常に出力されない場合には、当該行選択パルスによって動作する検査回路内のラッチ回路において、正常な検査信号が取り込まれないため、前述の検査出力とは異なった出力を得る。よって不良判定が可能である。

【0040】

また、図 3 (B) に示すように、検査用クロック信号 (CCK1、CCK2) を、ゲートドライバの帰線期間を除く期間で、ゲートドライバ側クロック信号 (GCK) と同じ周波数のクロック信号として入力することで、ある行で行選択パルスの出力タイミング不正が生じた場合においても、検査出力をもって不良判定が可能である。

【0041】

具体的には、シフトレジスタ部の TFT 不良等により、順次出力されるべき行選択パルスが、ある点でパルス幅が広がる等の不良が生ずることがある。通常、クロック信号を用いて制御するシフトレジスタにおいては、クロック信号のアップエッジもしくはダウンエッジにおいて動作トリガとしている場合が多いため、パルス幅不正等は、クロック半周期分程度の広がりとなる場合が多い。検査回路内のラッチ動作のタイミングが、ここで述べたような不正パルスによって決定された場合、図 2 (A) に示したような検査用クロック信号では、正常と判定されてしまうが、図 2 (B) に示したような検査用クロック信号を用いると、不正なタイミングでラッチ回路が動作した場合、取り込み時のデータの論理が反転するため、精度良く不良判定が可能である。

【0042】

また、ここではゲートドライバに設けた検査回路について説明してきたが、図 1 (A) にも示したように、点順次サンプリングを行うソースドライバにおいても、クロック信号とスタートパルスに従って出力されるサンプリングパルスを用いて同様の検査回路による不良判定が可能である。

【0043】

また、図1 (A) において、映像信号 (Data) 入力形式がアナログ形式である場合、検査時のみ、実際の映像信号の最大振幅と同程度のデジタル信号を検査信号として入力することで、デジタル形式、アナログ形式に制限なく、検査が可能である。

【0044】

なお、判定回路において、NANDを用いて構成された回路の側に接続された検査出力端子の出力 (第1の出力端) と、NORを用いて構成された回路の側に接続された検査出力端子の出力 (第2の出力端) が、デジタル映像信号がHレベル、Lレベルいずれの場合においても、同じ出力が得られる場合が正常であり、何らかの不良判定が現れる場合には、2つの検査出力端子の出力が異なる。つまり、第1の出力端と第2の出力端が常に、いずれもHレベル、もしくはいずれもLレベルとなっているならば正常であり、何らかの不良がある場合には、必ず一方がHレベル、他方がLレベルとなる出力が現れる。

【0045】

よって、図4 (A)(B) に示すように、2つの検査出力端子に現れる信号を入力とするExNOR (Exclusive-NOR) 401をさらに接続し、ExNOR 401の出力がHレベルであるか、Lレベルであるかによって、良否の判定を行っても良い。図4 (B) に示す構成によると、ExNOR 401の出力がHレベルであれば良品判定、Lレベルであれば不良判定となる。また、ExNOR 401の代わりに、ExOR (Exclusive-OR) を用いても同様である。この場合、ExOR出力がLレベルであれば良品判定、Hレベルであれば不良判定となる。

【0046】

また、図1、図4等にした検査回路は、表示装置の実仕様上の動作に関しては必要のない回路である。よって、画素領域を形成し、完成品のモジュールとして基板から所望のサイズに分断する際、同時に除去しても良い。

【発明の効果】

本発明によって、実際のテストパターン表示の視認による検査を行わなくとも

、TFT基板の状態での良否が判定可能なため、小規模な検査回路によって、極めて簡単に、効率的な品質検査を可能とする。

【0047】

特に、点順次駆動を行うドライバを有する場合の検査に適する。映像信号入力 はデジタル形式であっても、アナログ形式であっても構わない。かつ、通常表示 の場合と同様の手順に極めて近い条件でドライバを動作させての検査が可能であり、極めて簡単な手順によって、高精度な検査が可能である。加えて、ソース信号線の本数に関係なく、検査出力端子の出力のHレベル／Lレベルを確認するのみで、全段にわたっての欠陥の有無が即座に判定可能なため、大画面、高精細なパネルに用いられる表示装置の検査にも有効である。

【図面の簡単な説明】

【図1】 本発明の一実施形態を示す図。

【図2】 ゲートドライバおよび検査回路の動作タイミングチャートを示す図。

【図3】 正常動作時の検査回路動作と検査出力例を示す図。

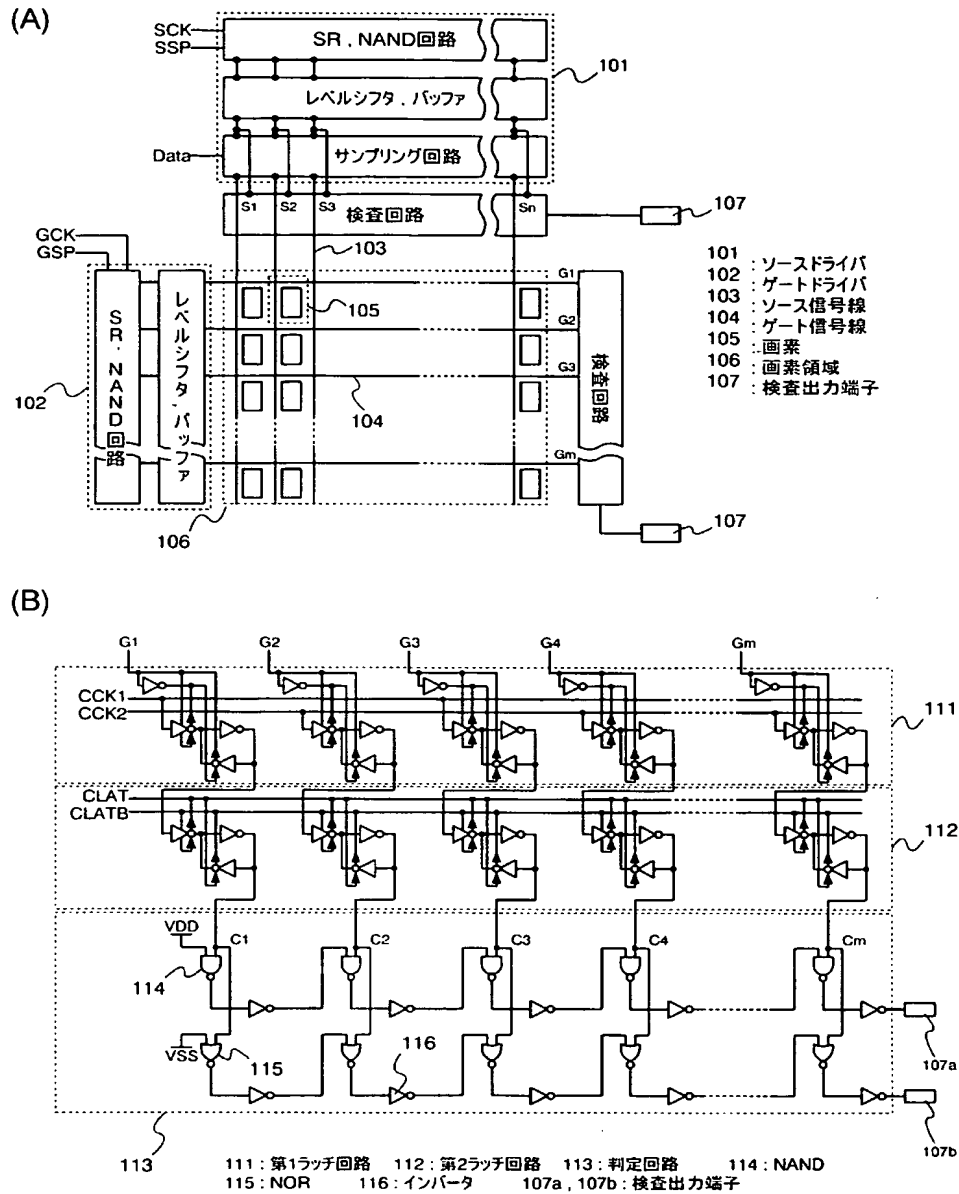
【図4】 本発明の他の一実施形態示す図。

【図5】 従来の検査回路を有する表示装置の構成を示す図。

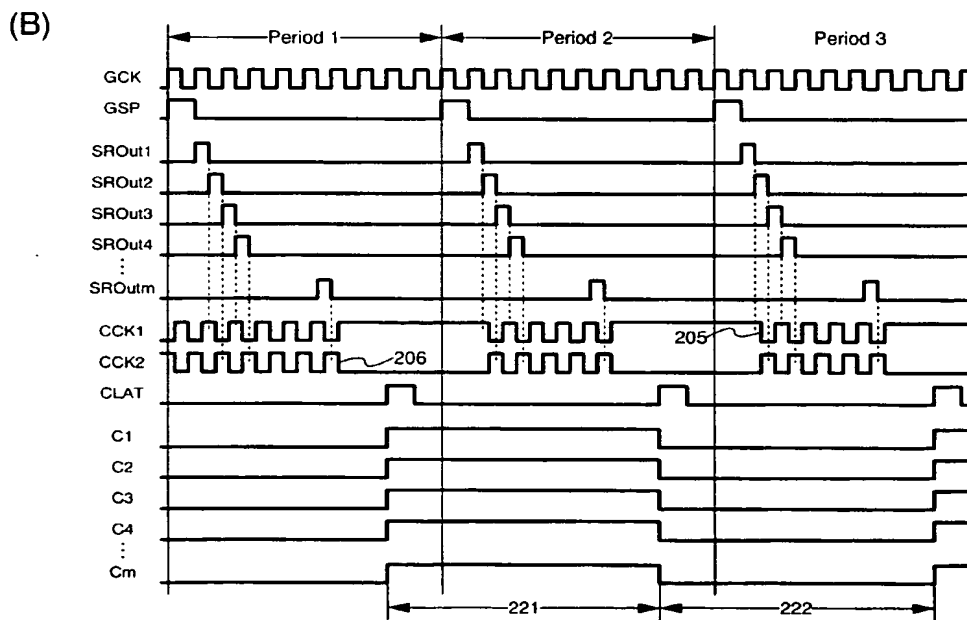
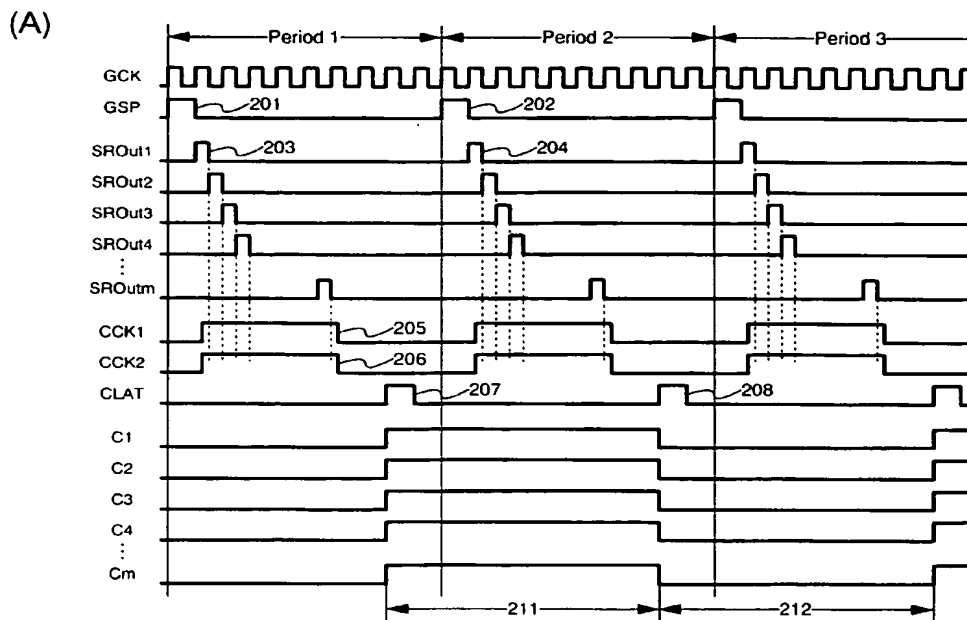
【図6】 モジュールの形態と、探針を用いた品質検査の概略を示す図。

【書類名】 図面

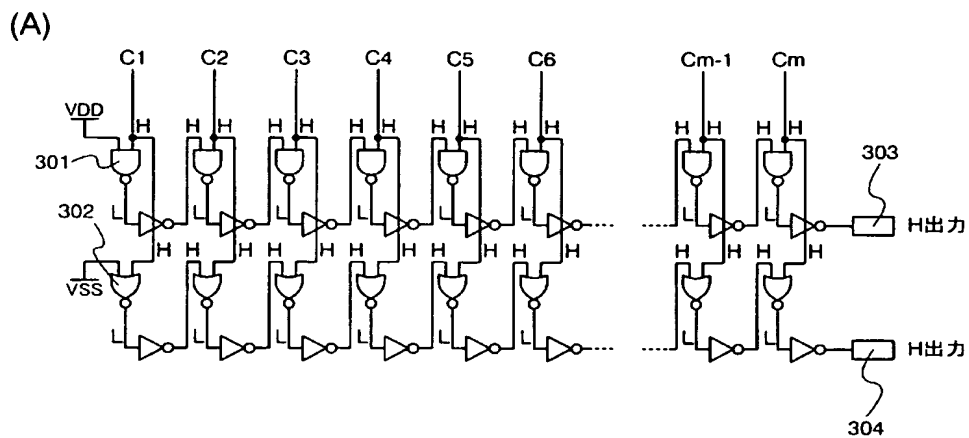
【図 1】



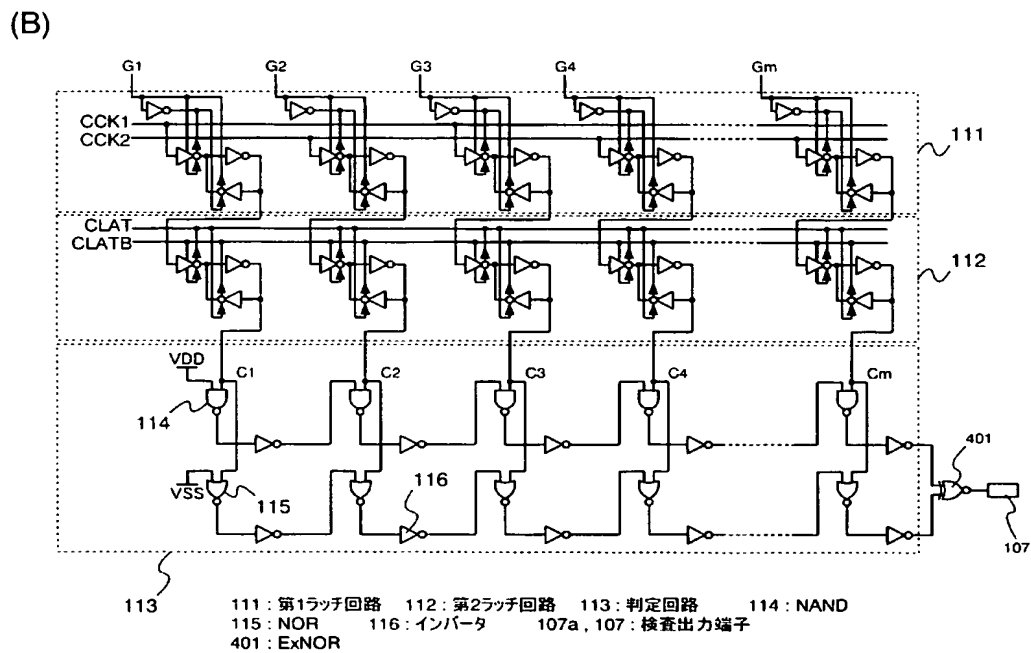
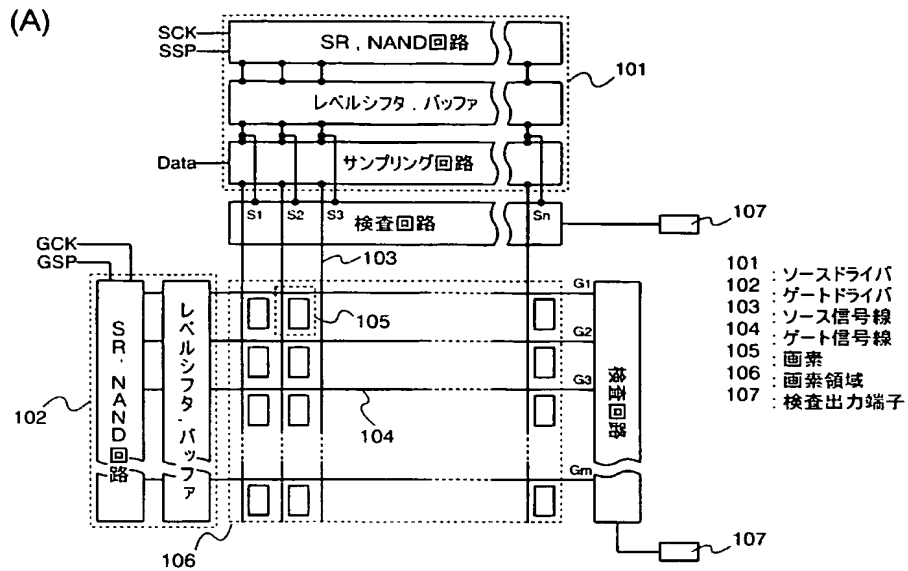
【図 2】



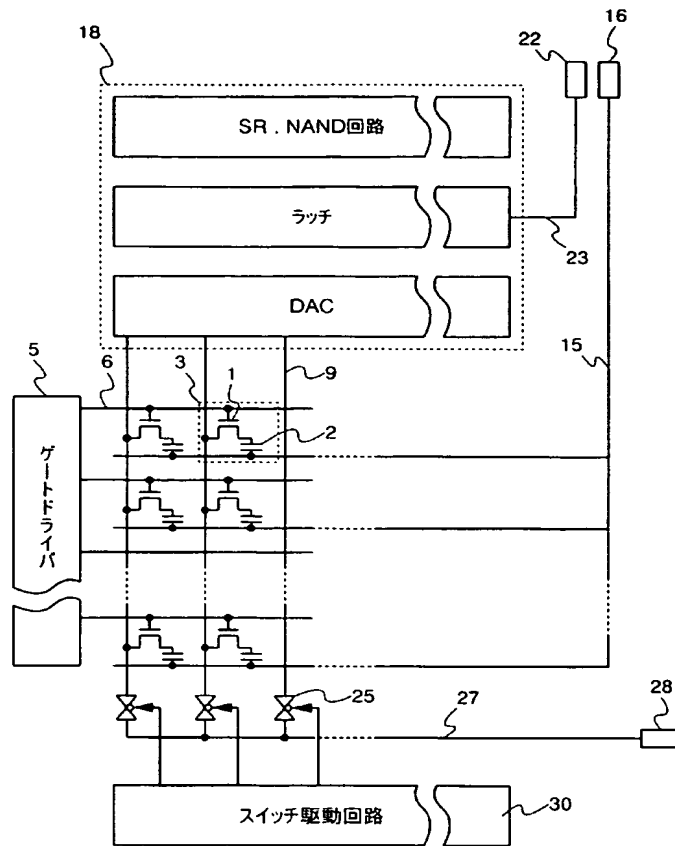
【図 3】



【図 4】



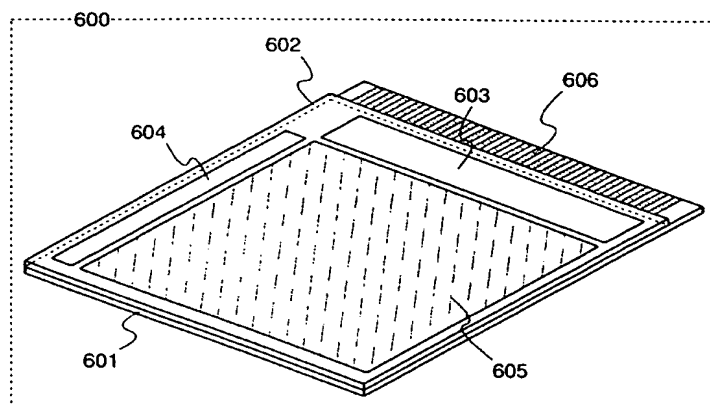
【図 5】



- | | |
|-------------|--------------------|
| 1 : TFT | 16 : 端子 |
| 2 : 保持容量 | 18 : デジタルソースドライバ |
| 3 : 画素 | 22 : デジタルビデオ信号入力端子 |
| 5 : ゲートドライバ | 23 : デジタルビデオライン |
| 6 : ゲート信号線 | 25 : アナログスイッチ |
| 9 : ソース信号線 | 27 : 検査ライン |
| 15 : 共通電極配線 | 28 : 検査端子 |
| | 30 : スイッチ制御回路 |

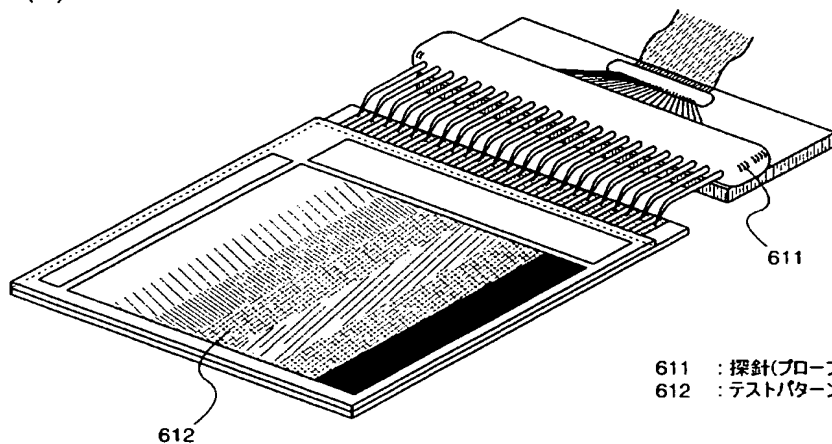
【図 6】

(A)



- 600 : モジュール
- 601 : TFT基板
- 602 : 対向基板
- 603 : ソースドライバ
- 604 : ゲートドライバ
- 605 : 画素領域
- 606 : 信号入力端子

(B)



- 611 : 探針(プローブ)
- 612 : テストパターン

【書類名】 要約書

【要約】

【課題】 小規模な回路を用いて、簡単かつ正確な不良判定の可能な検査回路およびその方法を提供する。

【解決手段】 本発明の検査回路は、ラッチ回路および、複数のNAND回路を複数のインバータを介して直列した構成と、複数のNOR回路を前記複数のインバータを介して直列接続した構成を有する判定回路とを有し、画素部に設けられた複数のソース信号線またはゲート信号線のそれぞれの出力パルスを用いて前記ラッチ回路を駆動し、検査用信号を取得し、当該検査用信号をNAND回路およびNOR回路の1入力端に入力し、直列接続されたNAND回路およびNOR回路の最終段から検査出力を得る。

【選択図】 図 1

特願 2 0 0 3 - 1 3 7 8 2 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所